Санкт-Петербургский Политехнический Университет Петра Великого

Институт Компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

Лабораторная работа 5

Предмет: Проектирование реконфигурируемых гибридных вычислительных систем

Тема: Интерфейс AXI

Задание 1

Студент: Ерниязов Т.Е.

Гр. № 3540901/81502

Преподаватель: Антонов А.П.

Санкт-Петербург

2019

Оглавление

[1. Задание 3](#_Toc26405544)

[2. Скрипт для выполнения работы 5](#_Toc26405545)

[3. Моделирование 5](#_Toc26405546)

[4. Синтез 6](#_Toc26405547)

[5. C|RTL моделирование 11](#_Toc26405548)

[6. Выводы 11](#_Toc26405549)

1. Задание

* Создать проект axi\_interfaces\_prj
* Подключить файл axi\_interfaces.c (папка source)
* Подключить тест axi\_interfaces\_test.c
* Микросхема: xa7a12tcsg325-1q
* Задать: clock period 4; clock\_uncertainty 0.1
* Установить директивы:
  + Порт d\_o:
    - Array partition: type cyclic, factor 8, dimension 1
    - Interface: mode axis, register\_mode both
  + Порт d\_i:
    - Array partition: type cyclic, factor 8, dimension 1
    - Interface: mode axis, register\_mode both
  + Block level
    - Unroll: factor 8
    - Pipeline: rewind
    - Interface: mode s\_axilite
* осуществить моделирование
* осуществить синтез
  + привести в отчете:
    - performance estimates=>summary
    - utilization estimates=>summary
    - Performance Profile
    - interface estimates=>summary
      * объяснить какой интерфейс использован для блока (и какие сигналы входят) и для портов (и какие сигналы входят).
    - scheduler viewer (выполнить Zoom to Fit)
      * На скриншоте показать Latency
      * На скриншоте показать Initiation Interval
    - resource viewer (выполнить Zoom to Fit)
      * На скриншоте показать Latency
      * На скриншоте показать Initiation Interval
* Осуществить C|RTL моделирование
  + Открыть временную диаграмму (все сигналы)
    - Отобразить два цикла обработки на одном экране
      * На скриншоте показать Latency
      * На скриншоте показать Initiation Interval

Исходные файлы с кодом устройства и теста приведены ниже.

Исходный код:

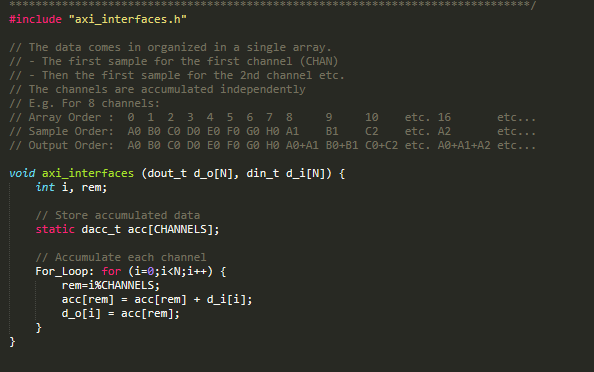


Рис. 1.1. Исходный код

Код теста:



Рис. 1.2. Код теста

1. Скрипт для выполнения работы

Ниже приведён скрипт, который был написан для автоматизации выполнения работы.

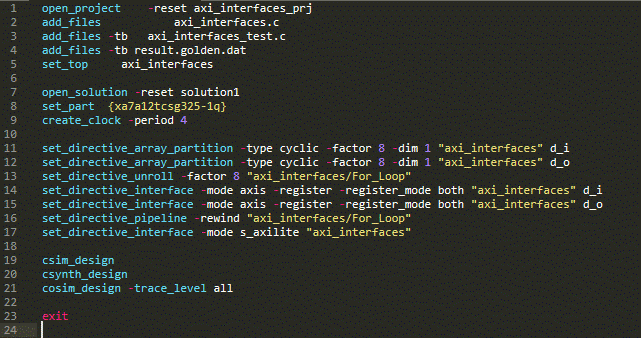


Рис 2.1. Скрипт выполнения работы

Ниже приведены установленные директивы, после выполнения скрипта. По рисунку видно, что директивы установлены корректно.

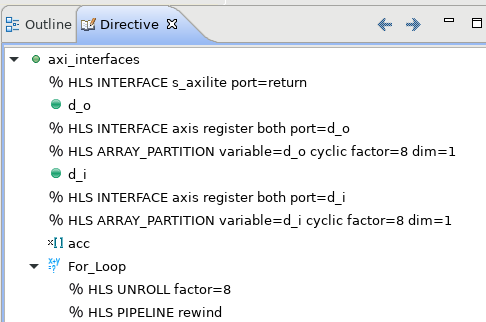


Рис. 2.2. Установленные директивы

1. Моделирование

По результатам моделирования, приведённым ниже, видно, что устройство проходит тесты.

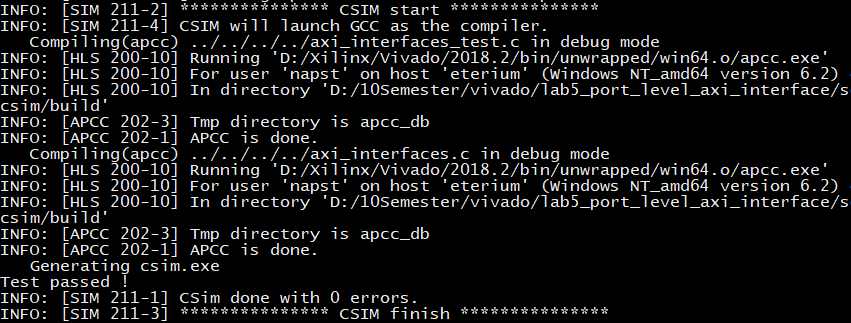


Рис 3.1. Результаты моделирования

1. Синтез

Ниже приведены оценки производительности. По ним видно, что оценочное время выполнения одного такта 3.3 нс, а latency составляет 5-6 тактов.

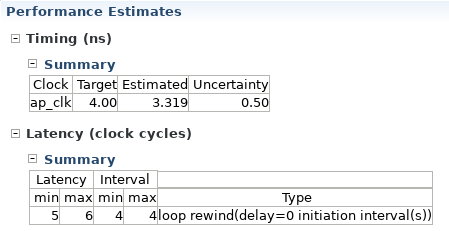


Рис. 4.1. Оценка производительности

Оценка использования ресурсов показывает, что будут использованы 1579 LUT.

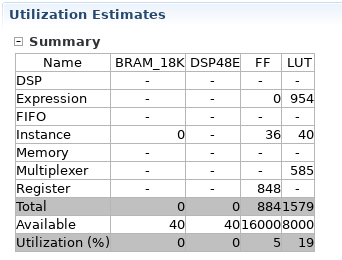


Рис. 4.2. Оценка использования ресурсов

По профилю производительности, можно сказать, что latency составляет 5-6 тактов, а II 4 такта.

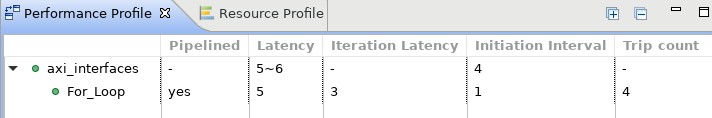
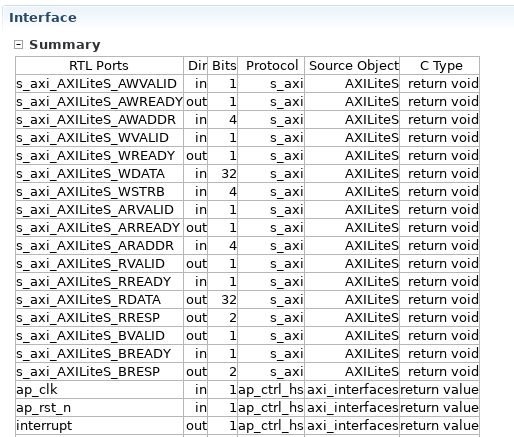


Рис. 4.3. Профиль производительности

Ниже приведён список портов устройства с указанием их протокола.



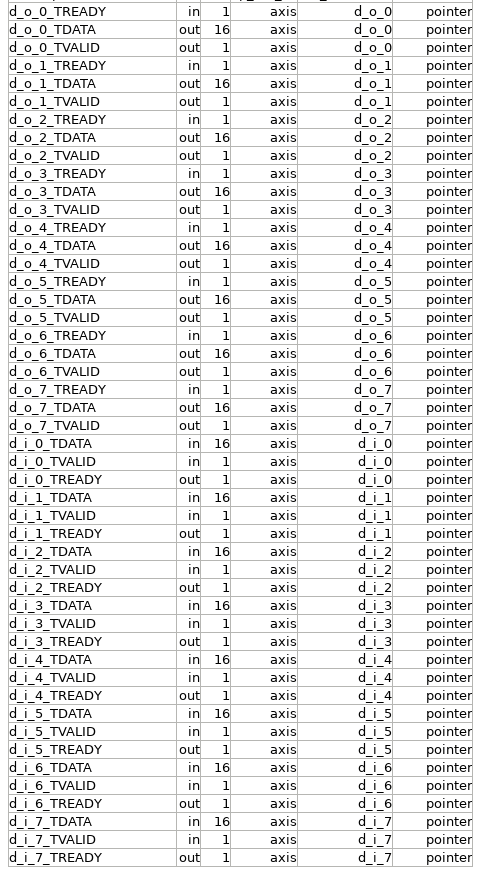


Рис. 4.4. Список портов

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

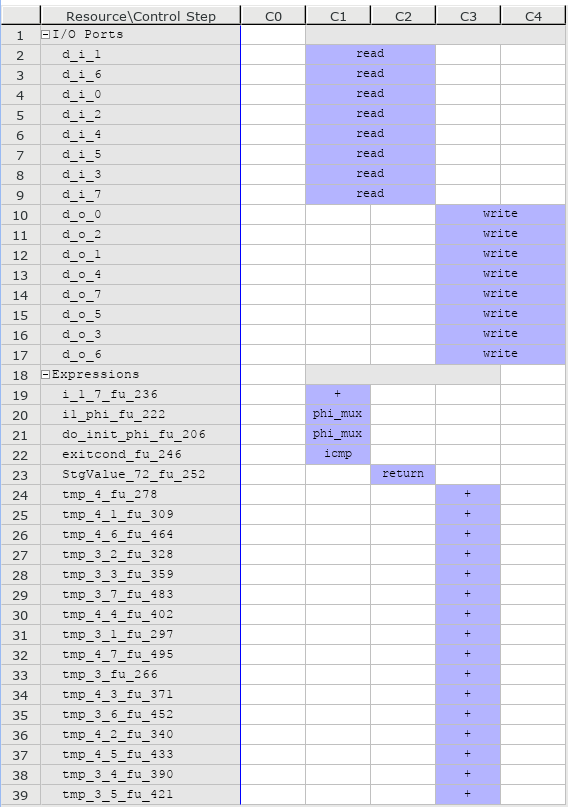
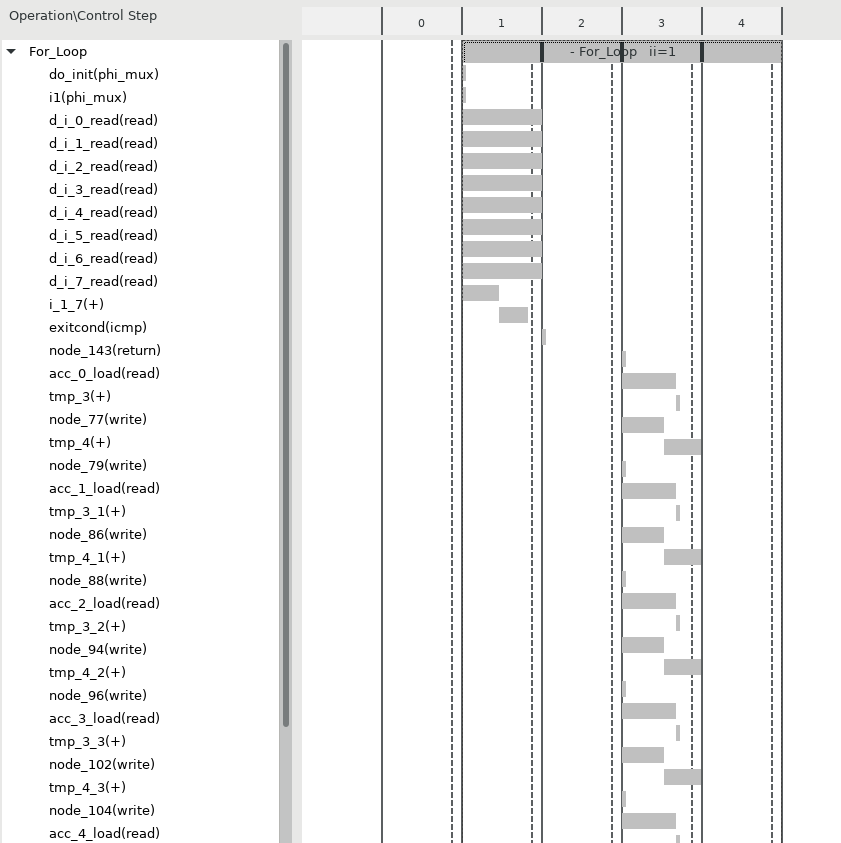


Рис. 4.5. Использование ресурсов

Ниже приведён результат работы планировщика вычислений.



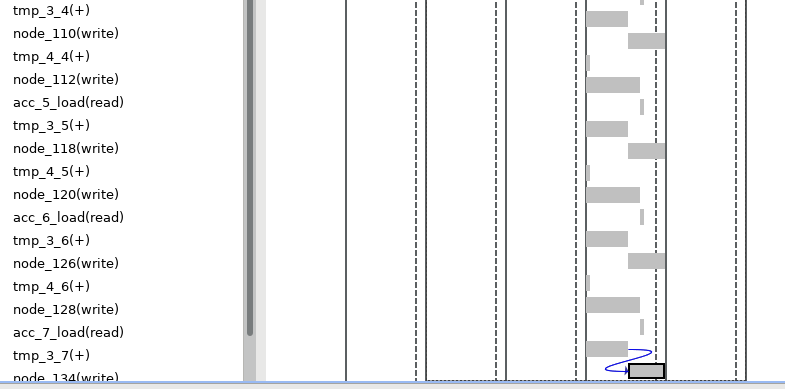


Рис. 4.6. Планировщик вычислений

1. C|RTL моделирование

Результат C|RTL моделирования приведён ниже.

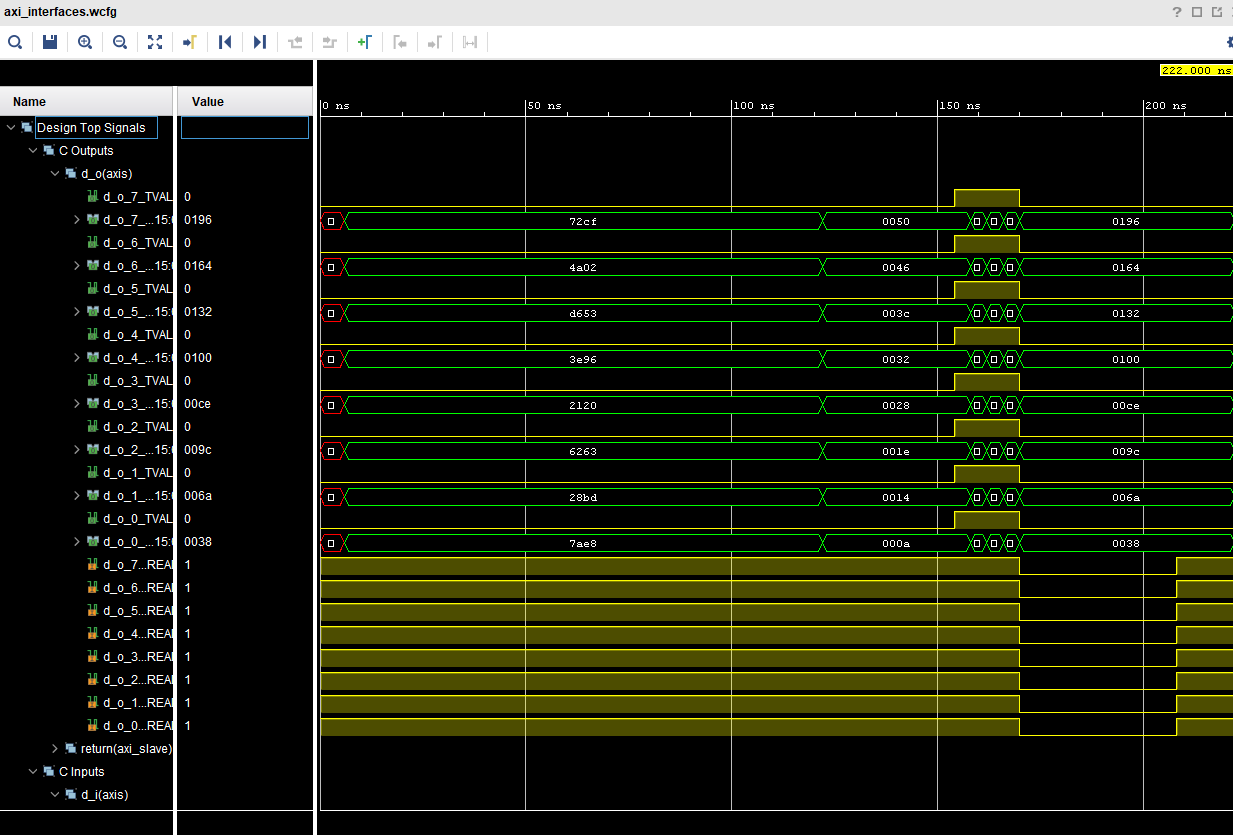


Рис. 5.1. Результат моделирования

1. Выводы

В данной работе был получен опыт использования AXI Interface, а также были рассмотрены несколько директив, позволяющих выполнять оптимизацию проекта.